

PAT-NO: JP407022513A  
DOCUMENT-IDENTIFIER: JP 07022513 A  
TITLE: SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE  
PUBN-DATE: January 24, 1995

INVENTOR-INFORMATION:

NAME

TAKAGI, MARIKO  
YOSHII, ICHIRO  
YASUDA, HIROO  
IKEDA, NAOKI  
HAMA, KAORU

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

COUNTRY

N/A  
N/A

APPL-NO: JP05190949  
APPL-DATE: July 5, 1993

INT-CL (IPC): H01L021/82, H01L021/3205 , H01L029/43

ABSTRACT:

PURPOSE: To provide an FPGA construction equipped with an antifuse element capable of accurately operating at a predetermined program voltage and its manufacture.

CONSTITUTION: An opening 5 is formed in an insulation film 4 covering an aluminum wiring 2 in a lower layer; a Ti/TiN barrier metal

layer 17 is formed over an exposed aluminum wiring 2, and this is used as the first electrode of the antifuse element. An antifuse film consisting of a silicon nitride film 20 ( $0.6 \leq N/Si \leq 1.2$ ) is formed over it. Then, barrier metal layers 18 and 8 as a second electrode are formed over the layer and come into contact with aluminum wiring 11 in upper layer. Since a barrier metal is used for electrode, the occurrence of hillock on aluminum wiring can be prevented. By making the opening 5 to a tapered shape, a wire cut off at a level difference inside an opening of antifuse film 20 can be prevented. This antifuse film is characteristic in that it has a dielectric constant lower than that of amorphous silicon, a high electric resistivity and a desired breakdown voltage.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 許出願公開番号

特開平7-22513

(43) 公開日 平成7年(1995)1月24日

| (51) Int.Cl. <sup>6</sup>            | 識別記号 | 庁内整理番号             | F I                      | 技術表示箇所 |
|--------------------------------------|------|--------------------|--------------------------|--------|
| H 0 1 L 21/82<br>21/3205<br>29/43    |      | 8122-4M<br>8826-4M | H 0 1 L 21/ 82<br>21/ 88 | F<br>Z |
| 審査請求 未請求 請求項の数 4 F D (全 11 頁) 最終頁に続く |      |                    |                          |        |

(21) 出願番号 特願平5-190949

(22) 出願日 平成5年(1993)7月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(72) 発明者 高木 万里子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 吉井 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74) 代理人 弁理士 竹村 壽

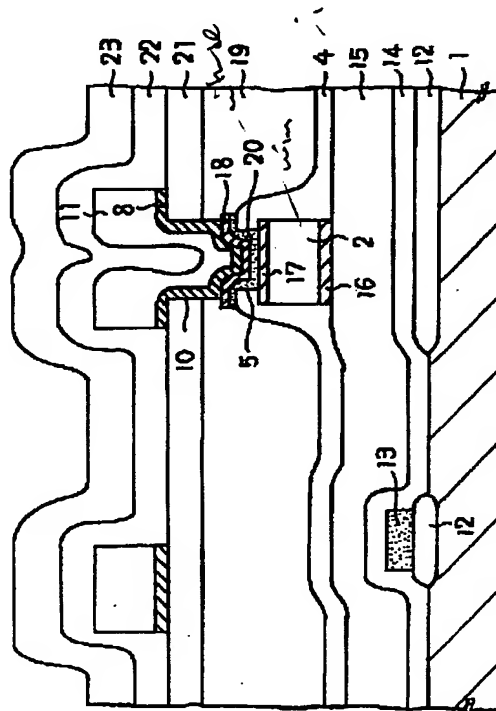
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 所定のプログラム電圧で正確に動作できるアンチヒューズ素子を備えたFPGAの構造及びその製造方法を提供する。

【構成】 下層のアルミニウム配線2を被覆する絶縁膜4に開孔部5を形成し、露出したアルミニウム配線2の上にTi/TiNバリアメタル層17を形成してこれをアンチヒューズ素子の第1の電極とする。その上に窒化シリコン膜(0.6≦N/Si≦1.2)20からなるアンチヒューズ膜を形成する。その上に、第2の電極となるバリアメタル層18、8を形成し、上層のアルミニウム配線11と接触させる。電極にバリアメタルを用いるのでアルミニウム配線のヒロックの発生を防止する。開孔部5をテーパ状にするとアンチヒューズ膜20の開孔部内での段切れが防止される。このアンチヒューズ膜はアモルファスシリコンより比誘電率が低く、抵抗率が高く、所望の破壊電圧を有する特長を備えている。



1

## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板上に形成された第1のアルミニウム配線と、

前記第1のアルミニウム配線の上に形成され、この第1のアルミニウム配線と電気的に接続された第1の電極と、

前記半導体基板上に形成された第2のアルミニウム配線と、

前記第2のアルミニウム配線の上に形成され、この第2のアルミニウム配線と電気的に接続された第2の配線と、前記第1及び第2の電極と接触しているアンチヒューズ膜とを備え、

前記第1及び第2の電極は、アルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜は、シリコンと窒素の原子組成比(N/Si)が0.6から1.2の間にある窒化シリコンを用いることを特徴とする半導体装置。

## 【請求項2】 半導体基板と、

前記半導体基板上に形成された第1のアルミニウム配線と、

前記第1のアルミニウム配線の上に形成され、この第1のアルミニウム配線と電気的に接続された第1の電極と、

前記半導体基板上に形成され、前記第1の電極及び第1のアルミニウム配線を被覆する絶縁膜と、

前記絶縁膜上に形成され、前記第1の電極とは前記絶縁膜に形成した開孔部を介して接触しているアンチヒューズ膜と、

前記アンチヒューズ膜上に形成された単層もしくは複層の第2の電極と、

前記半導体基板上に形成され、前記第2の電極と接触する第2のアルミニウム配線とを備え、

前記第1及び第2の電極は、アルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜は、シリコンと窒素の原子組成比(N/Si)が0.6から1.2の間にある窒化シリコンを用いることを特徴とする半導体装置。

【請求項3】 半導体基板の主面上に第1のアルミニウム配線を形成する工程と、

前記第1のアルミニウム配線の上に、この第1のアルミニウム配線と電気的に接続された第1の電極を形成する工程と、

前記半導体基板上に前記第1の電極及び第1のアルミニウム配線を被覆するように絶縁膜を形成する工程と、

前記絶縁膜に開孔部を形成して前記第1の電極を部分的に露出させる工程と、

前記絶縁膜上に前記第1の電極とは前記開孔部を介して接触しているアンチヒューズ膜をプラズマCVDにより形成する工程と、

2

前記アンチヒューズ膜上に単層もしくは複層の第2の電極を形成する工程と、

前記半導体基板上に前記第2の電極と接触する第2のアルミニウム配線を形成する工程とを備え、

前記第1及び第2の電極はアルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜はシリコンと窒素の原子組成比(N/Si)が0.6から1.2の間にある窒化シリコンを用いることを特徴とする半導体装置の製造方法。

10 【請求項4】 前記開孔部の形状を下部径より上部口径の方が広くなるようなテーパ状にする工程を有することを特徴とする請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、アンチヒューズ素子を備えた半導体装置に係り、とくに、FPGA(Field Programmable Gate Array)の構造及びその製造方法に関する。

## 【0002】

20 【従来の技術】アンチヒューズ素子は、1対の導体とその間に挿入された高抵抗体又は絶縁体からなり、初期状態(非プログラム状態)においては絶縁もしくは高抵抗性を示すが、所定の電圧印加後(プログラム状態)には低抵抗化して導通状態となる電気的にプログラム可能な要素である。このアンチヒューズ素子は、従来ヒューズROMなどのPROMに用いられ、さらに、近年ではゲートアレイの一種であるFPGAにも使われている。ゲートアレイは、基本セルを並べたチップをあらかじめ作製しておき、配線接続だけを行うことで、ユーザー所望のLSIを短期間に開発できる特徴をもっている。従来、その配線はCAD(Computer Aided Design)上で作成した配線パターンをマスクにして作製していたため、作製する個数が少ないと1チップ当たりのマスク作製費用が大きくなる傾向にある。そこで、近年ユーザーがマスクを作製することなく配線を接続できるような前記FPGAといわれるゲートアレイが開発された。FPGAはメーカーが複数の基本セルとそれらを任意に結合できるように、通常、層間絶縁膜を介して形成された2層の配線群を格子状に配置し、その格子の交点において配線間の層間絶縁膜に開口を設け、そこに薄い絶縁膜が配線間に介在するように構成された半導体チップを形成する。

40 【0003】この薄い絶縁膜は通常の動作電圧を印加したときは非導通状態であるが、所定の電圧を加えると不可逆的な絶縁破壊がおこり上下の配線が導通されるものである。この半導体チップには任意の格子点の絶縁膜にその所定の電圧を印加するための装置が搭載されている。メーカーはこのような半導体チップにパッケージングを施して販売する。ユーザーは、この所定の電圧を印加する装置を用いて任意の絶縁膜を導通させることで2

配線間の接続を行い、これを所望の回数繰り返すことで所望の配線を実現する事ができる。このようなFPGAで用いられる導電層に挟まれた絶縁膜は、通常時には絶縁され、所望の時に導電されるという、一般のヒューズ素子と反対の性質を持つことからアンチヒューズ素子とよばれている。FPGAで使用されるアンチヒューズ素子は、論理回路中に組み込まれるので、回路の動作スピード低下を招かない特性が必要となる。

【0004】したがってアンチヒューズ素子に要求される特性としては、従来通り、(1)初期状態においては、絶縁もしくは十分に高抵抗状態にあること、(2)所望のプログラム電圧で導通すること、(3)プログラム時に選択されたアンチヒューズ素子は、プログラム終了後には永続的に十分に低抵抗であること、(4)プログラム時に非選択であったアンチヒューズ素子は、プログラム終了後には通常の回路動作電圧で永続的に絶縁性もしくは高抵抗性を維持すること、(5)非導通状態のアンチヒューズ素子のキャパシタンスが小さいことなどがある。このアンチヒューズ素子の特性を良好なものにすることは、アンチヒューズ素子のプログラムアルゴリズムとならんで、競争力のあるFPGAを実現する上で極めて重要である。これまでにアンチヒューズ素子を実現する構造として高濃度半導体基板とドーパドポリシリコン、ドーパドポリシリコンとA1配線、A1配線とA1配線などの導体電極間に絶縁膜或いはアンドープポリシリコン、アモルファスシリコン、シリコンナイトライドなどの高抵抗半導体膜を挟んだものが提案されている。アンチヒューズ素子を実際にLSI内に用いる場合、前述のアンチヒューズ素子に要求される特性を、例えば、プログラム電圧、回路速度などを実際にどの位の性能をターゲットとするか、その用途にしたがって実現するように構造及び材料を選択する必要がある。

【0005】なぜなら、例えば、絶縁又は高抵抗部は、物性的には、膜厚を厚くして絶縁性を高くすれば、リーク電流、キャパシタンスが減るがプログラム電圧が増大し、導通後の抵抗が高くなり、非導通アンチヒューズの長期信頼性が悪くなるという相反する性質を持つからである。電極部についても、低抵抗半導体を用いるより金属を用いるほうが、導通後の抵抗が低くなるということは知られているが、信頼性の面では、良くないことが、やはり知られている。この様に、すべての要件をすべて満足させることは不可能であり、前述の特性(1)～(5)のいずれに重きを置かずかで材料の選択が決まり、用途に応じて最適なアンチヒューズ素子を提供しなければならない。

【0006】このアンチヒューズ素子を前述のようにFPGAに適用した場合を考える。実際にゲート数が数M規模のFPGAに適用したアンチヒューズ素子に要求される特性は、(a)初期状態のアンチヒューズ素子1個当たりの抵抗 $R_{int} > 1 G\Omega$ 、(b)プログラム電圧V

$pp < 20 V$  (現状では、通常動作電圧 $V_{dd}$ に対して、 $1.5 V_{dd} < V_{pp} < 3 V_{dd}$ である。)、(c)プログラムされた導通アンチヒューズ素子1個当たりの抵抗 $R_{on} < 150 \Omega$ 、(d)プログラムされなかった非導通アンチヒューズ素子1個当たりの抵抗 $R_{off} > 1 G\Omega$ 、(e)非導通アンチヒューズ素子1個当たりの容量 $C_{off} < 3 fF$ 、(f)非導通アンチヒューズ素子は、通常回路動作時に動作電圧 $V_{dd}$ で10年間 $R_{off}$ を維持することなどが有る。これらはLSIチップ当たりの許容消費電力、回路動作時の動作速度、長期信頼性、従来のゲートアレイ(GA)技術やプロセスとの互換性などから決まっている。とくに、FPGAに適用する場合はPROMなどのメモリに用いる場合とは異なり、論理回路であるので、スピードに対する要求が厳しく、スピードを念頭に置いた材料や構造の選択が必要になる。

【0007】図15を参照して従来のA1配線間に介在させたアンチヒューズ素子の代表的な例を説明する(USP5100827号明細書参照)。シリコン半導体基板1の上に形成された下層のA1配線2上にバリアメタル層(TiW)3を堆積させパターニングしてアンチヒューズ素子の第1の電極を形成する。電極としてA1層とバリアメタル層の積層構造を用いるのは、A1が後熱処理工程により拡散して高抵抗材料であるアモルファスシリコンとシリサイド反応を起こして工程構成が損なわれるのを防ぐためである。この電極上に第1の絶縁膜4を堆積する。その後第1の絶縁膜4に開孔部5を設けて、第1の電極のバリアメタル層3の表面を一部露出させる。なお、引き続きアモルファスシリコンの堆積時にアモルファスシリコンが開孔部5に適切に堆積するように、第1の絶縁膜4の膜厚は、開孔部5とのアスペクト比が1/2となるようにする。その後、高抵抗層材料としてノンドープアモルファスシリコン6を堆積し、開孔部5上のみアモルファスシリコンが残るようにパターニングする。その後、プログラム後の導通部を低抵抗化するために導体層7を堆積した後バリアメタル層8を導体層7の上に形成する。その後第2の絶縁膜(プラズマTEOS)9を堆積させてバリアメタル層8を被覆し、この絶縁膜9にアモルファスシリコン6上の開孔部10を設ける。さらに、第2の絶縁膜9上に上層のA1配線11を堆積し、パターニングする。この様にして信頼性の高いA1配線とA1配線との間に配置される。

【0008】

【発明が解決しようとする課題】この従来例は、A1配線上にバリアメタル層を設けたり、アモルファスシリコンを堆積させる開孔部のアスペクトを規定したり、かなり信頼性の高いアンチヒューズ素子を実現させているが、FPGA用のアンチヒューズ素子としてプロセス的な観点も含めて総合的に判断すれば、必ずしも適切な材料選択や適切な構造になっていない。絶縁材料又は高抵抗材料としてアモルファスシリコンを選択しているが、

5

アモルファスシリコンは、水素やその他の不純物の含有量に依存してその抵抗率が変化することが知られている(N.Savvides, J. Appl. Phys., 56, 2789, 1984)。例えば、水素の含有量が0%から10%に変化すると、アモルファスシリコンの抵抗率が6桁も変化し、そのため、前述の条件(a)を満たすために膜厚を数nmから数1000nmまで変化させなければならない。実際の工程では低温での層間絶縁膜( $\text{SiO}_2$ )の堆積やシンターなどの後プロセスで水素がアモルファスシリコン中に入ることがあるが、その水素量の制御は難しく、したがって、前記条件(a)に対して安定したアンチヒューズ素子を形成することは、アモルファスシリコンを用いる以上非常に困難であるという問題がある。

【0009】また、電極としてA1を用いた場合、A1のアンチヒューズ材への拡散も問題であるが、さらに、後熱工程でA1ヒロックが生じ、このヒロックがアンチヒューズ材を突き抜けることの方が大きな問題である。これは、アンチヒューズ素子の初期不良や破壊電圧の低下につながるからである。また、前記従来例において、アモルファスシリコンを適確に堆積させる手段として、アンチヒューズ形成部分の開孔部のアスペクト比を1/2以下にしているが、このような方法でも開孔部のエッジ部でのアモルファスシリコンの薄膜化は避けられず十分な孔がききたいできない。さらに、実際にFPGA製品を製造する際に、従来のGAプロセスにアンチヒューズプロセスを組み込む観点から、この従来例には、まだ改良する余地が大きい。この様に、A1配線間に設けられるアンチヒューズ素子の構造やプロセスでは、実際にFPGAに用いようとすると、従来のプロセスに整合が取れ、また、安定した素子を製造するという点で問題があった。問題点としてはプロセスに安定なアンチヒューズ膜を得ること、A1配線上のヒロックの発生を防止すること、アンチヒューズ膜を適確に堆積できる構造を得ること、プロセスインテグレーションを念頭に置いたビアを形成することなどがある。本発明は、このような事情によってなされたものであり、安定でかつ従来のプロセスとの整合がとれたアンチヒューズ素子の構造及びその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明は、第1の電極／アンチヒューズ膜／第2の電極構造のアンチヒューズ素子のアンチヒューズ膜にシリコン窒化膜(但し、 $1.2 \geq N/Si \geq 0.6$ )を用い、電極にはアルミニウムに対するバリアメタルを用い、更に、アンチヒューズ素子が配置される層間絶縁膜の開孔部はテーパ状にすることに特徴がある。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された第1のアルミニウム配線と、前記第1のアルミニウム配線の上に形成され、この第1のアルミニウム配線と電気的に接続された第1の電極と、前記半導体基板上に形成された第2の

6

アルミニウム配線と、前記第2のアルミニウム配線の上に形成され、この第2のアルミニウム配線と電気的に接続された第2の配線と、前記第1及び第2の電極と接触しているアンチヒューズ膜とを備え、前記第1及び第2の電極は、アルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜は、シリコンと窒素の原子組成比( $N/Si$ )が0.6から1.2の間にある窒化シリコンを用いることを第1の特徴としている。

【0011】また、半導体基板と、前記半導体基板上に形成された第1のアルミニウム配線と、前記第1のアルミニウム配線の上に形成され、この第1のアルミニウム配線と電気的に接続された第1の電極と、前記半導体基板上に形成され、前記第1の電極及び第1のアルミニウム配線を被覆する絶縁膜と、前記絶縁膜上に形成され前記第1の電極とは前記絶縁膜に形成した開孔部を介して接触しているアンチヒューズ膜と、前記アンチヒューズ膜上に形成された単層もしくは複層の第2の電極と、前記半導体基板上に形成され、前記第2の電極と接触する第2のアルミニウム配線とを備え、前記第1及び第2の電極は、アルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜は、シリコンと窒素の原子組成比( $N/Si$ )が0.6から1.2の間にある窒化シリコンを用いることを第2の特徴としている。本発明の半導体装置の製造方法は、半導体基板の主面上に第1のアルミニウム配線を形成する工程と、前記第1のアルミニウム配線の上に、この第1のアルミニウム配線と電気的に接続された第1の電極を形成する工程と、前記半導体基板上に前記第1の電極及び第1のアルミニウム配線を被覆するように絶縁膜を形成する工程と、前記絶縁膜に開孔部を形成して前記第1の電極を部分的に露出させる工程と、前記絶縁膜上に前記第1の電極とは前記開孔部を介して接触しているアンチヒューズ膜をプラズマCVDにより形成する工程と、前記アンチヒューズ膜上に単層もしくは複層の第2の電極を形成する工程と、前記半導体基板上に前記第2の電極と接触する第2のアルミニウム配線を形成する工程とを備え前記第1及び第2の電極はアルミニウムに対するバリアメタルからなり、前記アンチヒューズ膜はシリコンと窒素の原子組成比( $N/Si$ )が0.6から1.2の間にある窒化シリコンを用いることを特徴としている。前記開孔部の形状を下部径より上部口径の方が広くなるようなテーパ状にしても良い。

【0012】

【作用】アンチヒューズ素子のアンチヒューズ膜として前記の様な窒化シリコンを用いることにより前述のアンチヒューズ素子としての特性(a)～(f)を満足することができる。また、このアンチヒューズ素子は、半導体基板上に形成されたアルミニウム配線間に配置されるものであるため、アルミニウム配線上に形成されるアンチヒューズ素子の電極には、アルミニウムを安定させる

7

バリアメタルを用いる。また、アルミニウム配線上に絶縁膜を被覆し、この絶縁膜に形成した開孔部を介してアンチヒューズ膜をアルミニウム配線上の電極と接触させる場合に、この開孔部の上部の開口部分の口径を下部の底面の口径より大きくしてテーパ状にし、このアンチヒューズ膜を開孔部内に均一に形成する。

【0013】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1を参照して第1の実施例を説明する。図は、FPGAタイプの半導体装置の半導体基板上に形成されたアルミニウム配線間に形成したアンチヒューズ素子の断面図である。半導体装置の各構成要素に付された番号は、共通するものは、前記従来例と同じ番号を用いている。基板としては、シリコン半導体基板を用い、ここに半導体装置を形成する。半導体基板1の主面には、膜厚400nm程度の厚いフィールド酸化膜12が形成されている。さらに、半導体基板1上には、例えば、このフィールド酸化膜12上に、半導体基板1に形成された素子のポリシリコンゲート（図示せず）に連続的に接続している膜厚400nm程度のポリシリコン配線13が形成されている。このポリシリコン配線13を含めて半導体基板1上に、CVD（Chemical Vapour Deposition）などによりSiO<sub>2</sub>絶縁膜14を300nm程度堆積する。さらに、この上に膜厚1000nm程度のBPSG（Borophospho-Silicate Glass）の絶縁膜15が形成されている。ポリシリコン配線13と電気的に接続されている膜厚800nm程度の第1アルミニウム配線2が形成されている。

【0014】第1アルミニウム配線2の下地層には、例えば、Ti/TiNバリアメタル層16が20/70nm程度形成されている。この第1アルミニウム配線2の上にも20/70nm厚程度のTi/TiNバリアメタル層17が形成されている。このバリアメタル層17は、アンチヒューズ素子の第1の電極となる。この第1アルミニウム配線2を被覆するようにBPSG絶縁膜15上にTEOS膜からなるSiO<sub>2</sub>絶縁膜4を形成する。この絶縁膜4の所定の部分を選択的にエッチングしてバリアメタル層17の表面が露出するように開孔部5を設ける。原子組成比（N/Si）が0.6～1.2のシリコン窒化膜から構成されたアンチヒューズ膜20が開孔部5のバリアメタル層17上及び絶縁膜4上に形成されている。そして、その上に20/70nm厚程度のTi/TiNバリアメタル層18が形成されている。バリアメタル層18を被覆するように絶縁膜4上に、例えば、TEOS膜からなるSiO<sub>2</sub>絶縁膜19を堆積させる。この絶縁膜19は、平坦化し、この上に再びTEOS膜からなる膜厚が約500nmのSiO<sub>2</sub>絶縁膜21を形成する。この絶縁膜19、21の所定の部分を選択的にエッチングしてバリアメタル層18の表面が露出するように開孔部10を形成する。

8

【0015】絶縁膜21上、絶縁膜19、21に形成された開孔部10側壁上及び開孔部10内で露出しているバリアメタル層18の表面上に20/70nm程度の厚さを有するTi/TiNバリアメタル層8を形成し、これを下地層としてその上に膜厚約1000nmの第2アルミニウム配線11を形成する。このバリアメタル層8及びバリアメタル層18は、積層されており、アンチヒューズ素子の第2の電極を構成している。第2アルミニウム配線11を被覆するように、また、TEOS膜からなる膜厚500nm程度のSiO<sub>2</sub>絶縁膜22を形成し、その上にプラズマCVDなどによるSi<sub>3</sub>N<sub>4</sub>絶縁膜23を形成して表面を安定化する。次に、図2を参照して第2の実施例について説明する。図は、FPGAのアルミニウム配線間のアンチヒューズ素子を中心にした半導体基板の部分断面図である。下層のポリシリコン配線やフィールド酸化膜等は省略した。半導体基板1の主面には、BPSG絶縁膜15が形成されている。その上に膜厚800nm程度の第1アルミニウム配線2が形成されている。第1アルミニウム配線2の下地層には、例えば、Ti/TiNバリアメタル層16が20/70nm程度形成されている。この第1アルミニウム配線2の上にも20/70nm厚程度のTi/TiNバリアメタル層17が形成されている。

【0016】このバリアメタル層17は、アンチヒューズ素子の第1の電極となる。この第1アルミニウム配線2を被覆するようにBPSG絶縁膜15上にSiO<sub>2</sub>絶縁膜4が形成されている。この絶縁膜4の所定の部分を選択的にエッチングしてバリアメタル層17の表面が露出するように開孔部5を設ける。この原子組成比（N/Si）が0.6～1.2のシリコン窒化膜から構成されたアンチヒューズ膜20が開孔部4のバリアメタル層17上及び絶縁膜4上に形成されている。ついでその上に20/70nm厚程度のTi/TiNバリアメタル層18が形成されている。図のように、この開孔部の上部の開口部分の口径は、下部の底面の口径より大きくして絶縁膜4の開孔部をテーパ状になっており、この上部の口径は、例えば、1～2μmであり、下部の底面の径は、例えば、約0.8μmになっている。開孔部の内壁が垂直に形成されていると、アンチヒューズ膜である窒化シリコン膜がこの内壁に均一に形成されず、薄膜部分も生じるので、テーパ状にして内壁に傾斜を持たせ、アンチヒューズ膜を開孔部内に均一に形成させる。このバリアメタル層18を被覆するように絶縁膜4上にSiO<sub>2</sub>絶縁膜19を堆積し、これを平坦化する。この上にSiO<sub>2</sub>絶縁膜21を形成する。この絶縁膜19、21の所定の部分を選択的にエッチングしてバリアメタル層18の表面が露出するように開孔部10を形成する。

【0017】絶縁膜21上、絶縁膜19、21に形成された開孔部10側壁上及び開孔部10内で露出しているバリアメタル層18の表面上に20/70nm程度の厚



さを有するTi/TiNバリアメタル層8を形成し、これを下地層としてその上に膜厚約1000nmの第2アルミニウム配線11を形成する。このバリアメタル層8及びバリアメタル層18はアンチヒューズ素子の第2の電極を構成している。第2アルミニウム配線11を被覆するように、SiO<sub>2</sub>絶縁膜22を形成し、その上にSi<sub>3</sub>N<sub>4</sub>絶縁膜23を形成して表面を安定化する。次いで、図3乃至図7を参照して半導体装置(FPGA)の製造方法を中心にした第3の実施例を説明する。図3乃至図5は、製造工程断面図、図6は、その断面図であり、図2に示すテーパ状の開孔部を有する絶縁膜を備えたFPGAを示している。図7は、FPGAの論理回路間に形成された配線間に配置されたアンチヒューズ(AF)素子の素子アレイを示している。図7に示すように、AF素子30は、配線2、11間に形成され、必要に応じてプログラム(破壊)されるようになっている。図6では、アルミニウム配線2、11の4つの接触点が表示され、その内の右側の2つの接触点にAF素子30を配置している。

【0018】シリコン半導体基板1の表面には膜厚1000nm程度のBPSG絶縁膜15が形成されている。半導体基板1のフィールド酸化膜が形成されている表面と絶縁膜15の間に形成されているポリシリコン配線や他の絶縁膜の記載は省略している。この絶縁膜15の上にTi/TiNを20/70nm程度スパッタリングし、その上にアルミニウムを800nm程度スパッタリングし、その上にTi/TiNを20/70nm程度スパッタリングする。その後、フォトレジスト(図示せず)をマスクとして、これらの積層体をRIE(Ractive Ion Etting)エッチングして下地層16、第1アルミニウム配線2、アンチヒューズ素子の第1の電極であるバリアメタル層17を形成する(図3)。次いで、膜厚400nm程度のSiO<sub>2</sub>絶縁膜4を層間絶縁膜としてCVDにより形成する。これは、前述のようにTEOS膜、すなわち、有機オキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)の熱分解により形成される。次いで、フォトレジストをマスクにしてアンチヒューズ素子の第1の電極17上の絶縁膜4をRIEにより選択的にエッチングして開孔部5を形成する。第1の電極17は、Ti/TiNバリアメタル層からなり、後工程の熱処理により発生するアルミニウムのヒロックを防止する作用を有するので、エッチングにより薄くならないようにする。したがって、TEOS-SiO<sub>2</sub>とTi/TiNの選択比が高い条件でエッチングを行う。

【0019】また、開孔部5にテーパが付くように条件を選んでエッチングする。開孔部5底面の径を、例えば、0.8μmにすると、開孔部5上部の口径を1~2μmが適当である(図4)。次いで、半導体基板1上に、例えば、プラズマCVDによりシリコンと窒素の原子組成比が1.2≧N/Si≧0.6であるシリコン窒

化膜を20nm程度堆積させ、その上に、TiNを100nm程度スパッタリングする。ついでフォトレジストをマスクとして、RIE又はCDE(Chemical DryEtching)によりパターニングして、アンチヒューズ膜としてのシリコン窒化膜20及び第2の電極としてのTiNバリアメタル層18をアンチヒューズ部に形成する。その後、例えば、TEOS膜からなるSiO<sub>2</sub>絶縁膜を堆積し、エッチバック法などにより平坦化して、層間絶縁膜24を半導体基板1の全面に形成する(図5)。次いで、フォトレジストをマスクとして、RIEなどで第2の電極18上の層間絶縁膜24に開孔部31を形成する。この後、アルミニウムを100nmほどスパッタリングし、フォトレジストをマスクとしてパターニングして第2アルミニウム配線11を形成する(図6)。その後、前実施例の様に通常のパッシベーション工程を行って第2アルミニウム配線を保護する。

【0020】次に、図8を参照して第4の実施例を説明する。図は、アンチヒューズ素子を含むFPGAの断面図である。以上の実施例において、アンチヒューズ素子はすべて上下の位置関係にある配線間の接触点に配置されているが、この実施例では、半導体基板の同じ絶縁膜の上に形成された2つの配線間に配置することもできる。アンチヒューズ素子を同一平面に形成される配線間に配置し、これを破壊するには、かなり高いプログラム電圧(破壊電圧)を必要とする。そこで、発明者等は、先に、アンチヒューズ素子にフローティング電極を用いることを提案した(特願平5-112195号)。これは第1及び第2の電極を兼ねることができる第1の配線と第2の配線との間に、アンチヒューズ膜を配置する共に、第3の電極であるフローティング電極を介在させることにより、プログラム電圧を所望の大きさに設定し、非プログラム状態では低容量にするというものである。シリコン半導体基板1上の絶縁膜15に第1のアルミニウム配線25及び第2のアルミニウム配線26を近接して配線する。そして、アルミニウム配線25、26のアンチヒューズ素子部の上にそれぞれTi/TiNバリアメタル層27、28を形成する。これは、第1及び第2の電極であり、アルミニウム配線のヒロックを防止することができる。

【0021】プラズマCVD法を用いてシリコンと窒素の原子組成比が1.2≧N/Si≧0.6のシリコン窒化膜20を第1及び第2の電極27、28上及びこれら電極間の絶縁膜15上に形成する。さらにこのアンチヒューズ膜20の上にAlやTiなどの任意の材料を用いる。アンチヒューズ素子の容量は、フローティング電極によって、フローティング電極と第1の電極とによる容量と、フローティング電極と第2の電極とによる容量の電極に分割されるので、プログラム電圧及び容量の自由度が増す。また、この実施例で用いる本発明のアンチヒューズ膜材料のシリコン窒化膜は、以下に述べるように、



## 11

比誘電率がアモルファスシリコンよりかなり低いのに化学量論的な $\text{Si}_3\text{N}_4$ より破壊電圧は十分小さく、リーク電流も少ないので、この実施例でも理想的なアンチヒューズ膜として利用できる。次ぎに、図9を参照して第5の実施例を説明する。第1の実施例では、第1アルミニウム配線2と第2アルミニウム配線11とのコンタクトにアンチヒューズ素子を介在させるが、これらの配線のすべてのコンタクトにアンチヒューズ素子を介在させるのではない。この実施例では、左側のコンタクトがアンチヒューズ素子を非介在にしている。どのコンタクトを形成するにも絶縁膜19、21に開孔部10を形成する必要があるが、左側のコンタクトを形成する場合に、第1アルミニウム配線2上のバリアメタル層17は残っている。

【0022】このバリアメタルの存在は、配線抵抗の増大を招くので、これを防ぐ必要がある場合には、アンチヒューズ素子が介在しないコンタクトにおいてバリアメタルを取り除く必要がある。そのためには、第1アルミニウム配線2上のバリアメタル層17の材料には、アンチヒューズ素子の電極であるバリアメタル層18が有するエッチング速度より大きいエッチング速度の材料を選択すれば良い。次ぎに、図10乃至図14を参照して本発明の半導体装置に用いるアンチヒューズ素子のアンチヒューズ膜材料の特性について説明する。図10は、アンチヒューズ膜材料であるプラズマCVDを用いて形成したシリコンと窒素の原子組成比が $1.2 \geq \text{N}/\text{Si} \geq 0.6$ のシリコン窒化膜の原子組成比( $\text{N}/\text{Si}$ )の比誘電率依存性を示す特性図であり、縦軸に比誘電率 $\epsilon_s$ 、横軸に $\text{N}/\text{Si}$ 比を示す。図11は、前記シリコン窒化膜の原子組成比( $\text{N}/\text{Si}$ )の抵抗率依存性を示す特性図であり、縦軸に抵抗率( $\Omega\text{cm}$ )、横軸に $\text{N}/\text{Si}$ 比を示す。図12は、前記シリコン窒化膜の原子組成比( $\text{N}/\text{Si}$ )の破壊電圧依存性を示す特性図であり、縦軸にプログラム電圧(破壊電圧)の強さ( $\text{MV}/\text{cm}$ )、横軸に $\text{N}/\text{Si}$ 比を示す。図13は、前記シリコン窒化膜の原子組成比の各電源電圧 $V_{dd}$ を使用したときのアンチヒューズ膜厚の許容上限及び下限の依存性を示す特性図であり、縦軸に膜厚( $\text{nm}$ )横軸に $\text{N}/\text{Si}$ 比を示す。

【0023】アンチヒューズ素子に用いるアンチヒューズ膜は、アンチヒューズ素子としての前述の特性(a)～(f)を満足することが必要である。図7に示すように半導体装置(FPGA)にアンチヒューズ素子を備える場合、素子を取り付ける配線2、11には、通常、プログラム用トランジスタ(図示せず)をそれぞれ接続する。これらトランジスタのゲート酸化膜厚は、同じチップ内に形成される論理回路などを構成するセルトランジスタと同じである。そこで、アンチヒューズ素子の破壊電界は、トランジスタのゲート酸化膜の破壊電界より低く、且つ、バーイン試験などの品質保証試験時のテスト

## 12

電界より大きくする必要がある。ゲート酸化膜の破壊電界は、約 $10\text{MV}/\text{cm}$ である。また、世代ごとの動作電圧 $V_{dd}$ に対して、ゲート酸化膜厚 $T_{ox}$ は、 $V_{dd}/T_{ox}$ ( $E_{dd}$ )が約 $3.3\text{MV}/\text{cm}$ になるように通常スケールリングされる。そして、前記テスト電圧は、 $1.5V_{dd}$ である。従って、アンチヒューズ素子のプログラム時に印加できるプログラム電圧 $V_{pp}$ は、ほぼ $V_{dd}$ の $1.5 \sim 3$ 倍が必要である。 $V_{pp}$ にこのような制限があるためにアンチヒューズ膜の膜厚も図13のように制限されるが、化学量論的な $\text{Si}_3\text{N}_4$ よりは厚いアンチヒューズ膜を用いることが可能である。また、リーク電流が大きすぎることは、FPGAの特性を劣化させる。

【0024】アンチヒューズ素子に起因する許容リーク電流( $I_{leak}$ )は $V_{dd}$ が $5\text{V}$ の世代で、1チップ当たり100K個のアンチヒューズ素子を実現し、次世代からはスケールリング則にのっとり集積度が増すと考えると、 $10^{-11}\text{A}/\mu\text{m}^2$ であり、許容容量は、約 $4\text{fF}/\mu\text{m}^2$ である。図14は、前記シリコン窒化膜の原子組成比( $\text{N}/\text{Si}$ )のリーク電流及び容量依存性を示す特性図であり、縦軸にリーク電流 $I_{leak}$ ( $\text{A}/\mu\text{m}^2$ )及び容量( $\text{fF}/\mu\text{m}^2$ )、横軸に $\text{N}/\text{Si}$ 比を示す。この特性図によって $\text{N}/\text{Si}$ 比の上限及び下限を説明する。実線Aは、アンチヒューズ膜厚の許容上限及び下限におけるリーク電流曲線であり、前述の様に許容リーク電流を考慮すると、 $\text{N}/\text{Si}$ 比の下限は、 $0.6$ である。実線Bは、アンチヒューズ膜厚の許容上限及び下限における容量曲線であり、前述の様に許容容量を考慮すると $\text{N}/\text{Si}$ 比の上限は、 $1.2$ である。図10によれば、 $\text{N}/\text{Si}$ 比が小さいと比誘電率が大きくなるが、アンチヒューズ膜の膜厚は、 $\text{N}/\text{Si}$ 比が大きくなるにしたがって小さくなるので、比誘電率が小さくなるにもかかわらず、容量が大きくなっていく。したがって、この上限を越えることはできない。しかし比誘電率は $\text{N}/\text{Si}$ 比のこの範囲で小さくなっているため、容量の増大を低く抑えることができる。

【0025】以上の条件によりアンチヒューズ膜材料は選択されるが、従来の材料として知られている代表的なものは、アモルファスシリコンと化学量論的な窒化シリコン( $\text{Si}_3\text{N}_4$ )である。しかし、アモルファスシリコンは、破壊電界は低い、抵抗率が小さく、且つ、比誘電率が高いために、回路スピードが落ち、リーク電流も大きくなる欠点を有している。また、化学量論的な窒化シリコンは、抵抗率も大きく、比誘電率も高いが、破壊電界が大きいため、FPGA用アンチヒューズ素子としては実用性に乏しい傾向にある。本発明の窒化シリコンは、 $\text{N}/\text{Si}$ が $0.6$ から $1.2$ まで比誘電率がほぼ7前後であり窒化シリコンに近い値を有しながら、抵抗率が高く、破壊電界がアモルファスシリコンに近い低い値から化学量論的な窒化シリコンに近い高い値を備えているので、FPGA用アンチヒューズ素子としては、実用性

13

が高く選択性の高い材料が得られる。本発明に用いるアンチヒューズ素子の電極であるバリアメタル層の材料には、前述のTiNやTi/TiNの積層膜に限らず、TiSi、TiW、Ti、WSi、Mo、MoSi及びこれらの積層膜などを用いることができる。また、前記実施例では、アルミニウム配線として、ポリシリコン配線に接続する第1Al配線及びその上の第2Al配線とを用い、それらの間にアンチヒューズ素子を介在させているが、本発明は、多層配線の任意の配線を用いることができる。例えば、半導体装置に4層のアルミニウム配線を用いる場合、第3層及び第4層のアルミニウム配線にアンチヒューズ素子を取り付けることができる。さらに、第1層と第3層のアルミニウム配線のように配線を飛び越えてこの素子を取り付けることができる。

【0026】

【発明の効果】本発明のアンチヒューズ膜に用いる窒化シリコンは、比誘電率が窒化シリコンに近い値を有しながら、抵抗率が高く、破壊電界がアモルファスシリコンに近い低い値から化学量論的窒化シリコンに近い高い値を備えているので、FPGA用アンチヒューズ素子としては、実用性が高く選択性の良い材料である。また、本発明のアンチヒューズ素子は、電極にアルミニウムに対するバリアメタルを用いているので、アルミニウム配線のヒロック発生を未然に防いでいる。さらに、アルミニウム配線間のアンチヒューズ膜が形成される層間絶縁膜の開孔部をテーパ状に形成しているので、アンチヒューズ膜の段切れがなく安定したアンチヒューズ素子が形成される。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の断面図。

【図2】第2の実施例の半導体装置の断面図。

【図3】第3の実施例の半導体装置の製造工程断面図。

14

【図4】第3の実施例の半導体装置の製造工程断面図。

【図5】第3の実施例の半導体装置の製造工程断面図。

【図6】第3の実施例の半導体装置の製造工程断面図。

【図7】本発明の半導体装置の模式配線図。

【図8】第4の実施例の半導体装置の断面図。

【図9】第5の実施例の半導体装置の断面図。

【図10】本発明の半導体装置のアンチヒューズ膜の特性図。

【図11】本発明の半導体装置のアンチヒューズ膜の特性図。

【図12】本発明の半導体装置のアンチヒューズ膜の特性図。

【図13】本発明の半導体装置のアンチヒューズ膜の特性図。

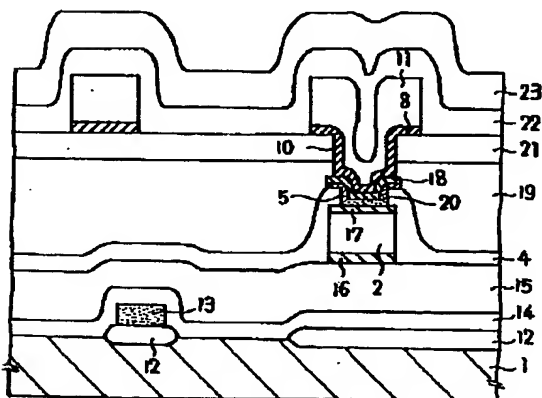
【図14】本発明の半導体装置のアンチヒューズ膜の特性図。

【図15】従来の半導体装置の断面図。

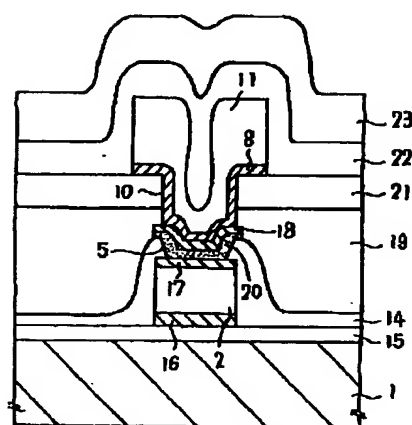
【符号の説明】

- |                          |           |
|--------------------------|-----------|
| 1                        | 半導体基板     |
| 2、11、25、26               | アルミニウム配線  |
| 3、8、16、17、18、27、28       | バリアメタル層   |
| 4、9、14、15、19、21、22、23、24 | 絶縁膜       |
| 5、10、31                  | 開孔部       |
| 6、20                     | アンチヒューズ膜  |
| 7                        | 導体層       |
| 12                       | フィールド酸化膜  |
| 13                       | ポリシリコン配線  |
| 29                       | フローティング電極 |
| 30                       | アンチヒューズ素子 |

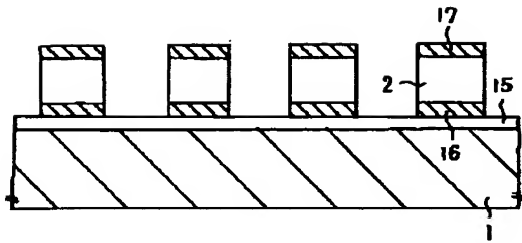
【図1】



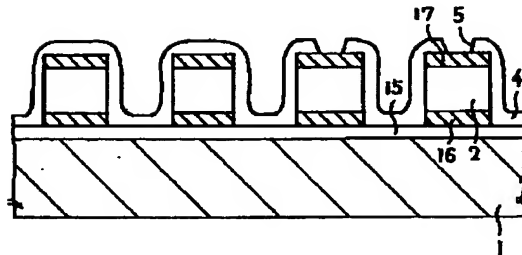
【図2】



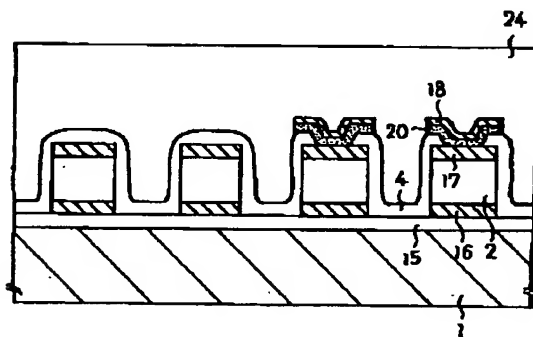
【図3】



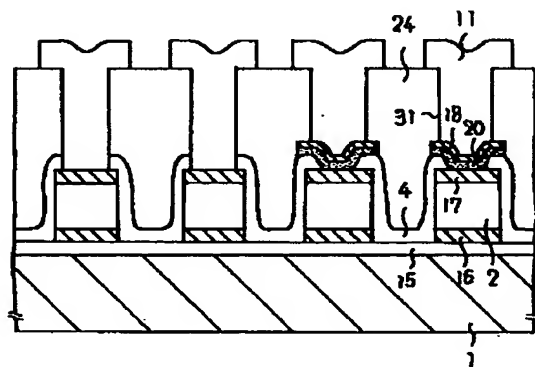
【図4】



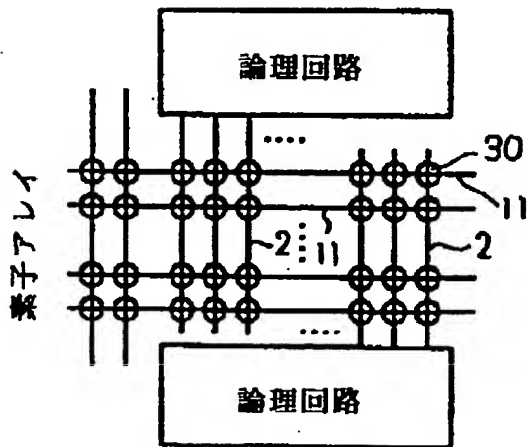
【図5】



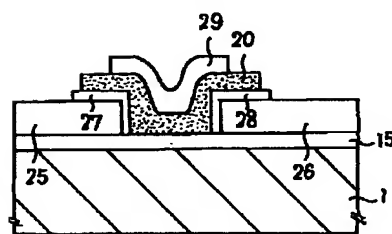
【図6】



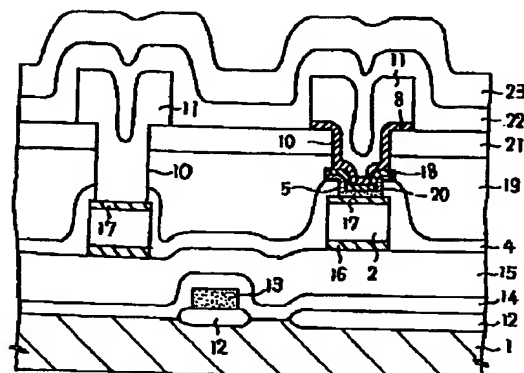
【図7】



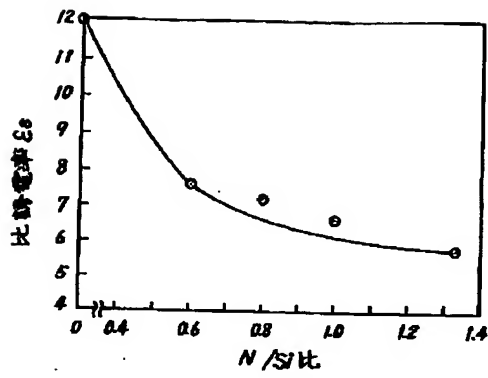
【図8】



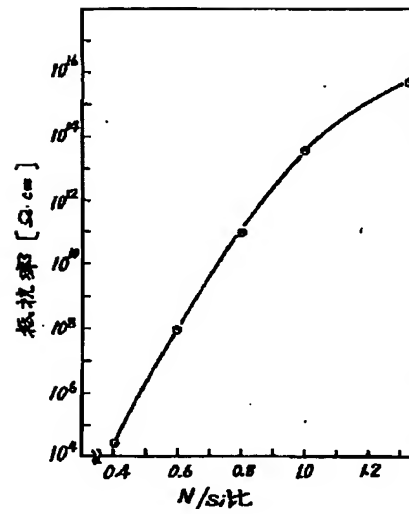
【図9】



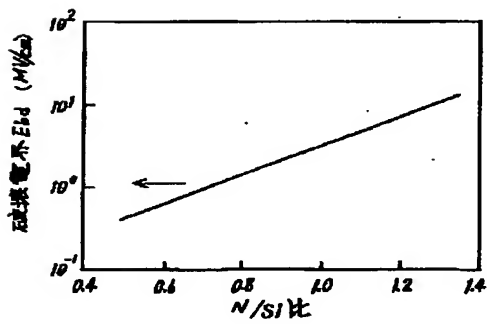
【図10】



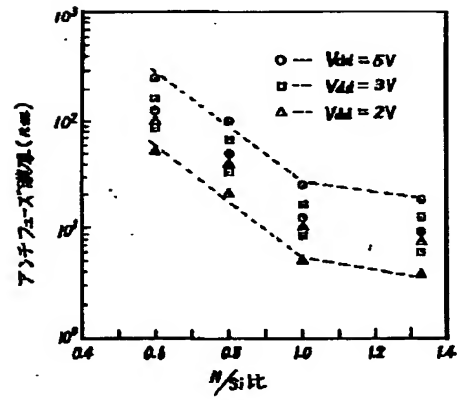
【図11】



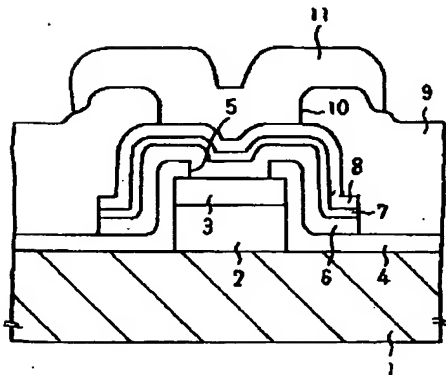
【図12】



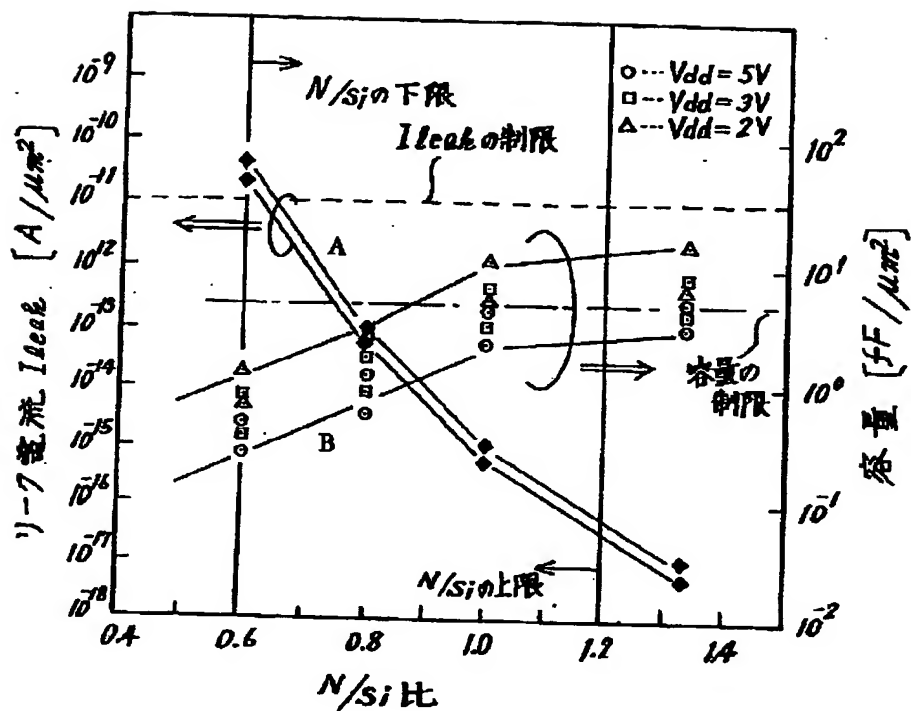
【図13】



【図15】



【図14】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

弁内整理番号  
7376-4M

F I

H 0 1 L 29/46

技術表示箇所

R

(72)発明者 安田 浩朗

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 池田 直樹

神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内

(72)発明者

波磨 薫

神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内